



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000022108 A**(43) Date of publication of application: **21.01.00**

(51) Int. Cl.

**H01L 27/108****H01L 21/8242****G11C 11/401**(21) Application number: **10187616**(22) Date of filing: **02.07.98**(71) Applicant: **HITACHI LTD HITACHI ULSI  
SYSTEMS CO LTD**(72) Inventor: **ISHIMATSU MANABU  
KITSUKAWA GORO  
KINO KAZUHISA**(54) **SEMICONDUCTOR STORAGE DEVICE**

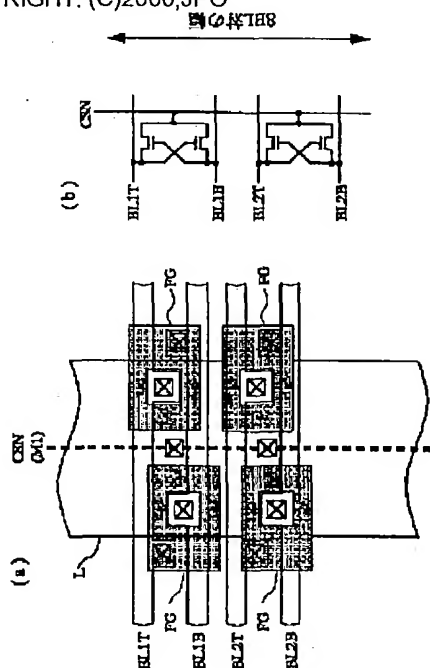
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor storage device which can cope with both the reductions of the total parasitic capacitance of input output lines, noise, and the area of a sense amplifier driver for overdrive and the speed-up of the driver and the sensitivity deterioration prevention, speed-up, and size- reduction of a sense amplifier.

**SOLUTION:** A semiconductor storage device is a 64-Mb DRAM constituted of a memory cell array and its peripheral circuits and the side edge sections of ring gates FG, which are superimposed upon a diffused layer L with respect to a gate lengths  $L_g$  of a ring gate MOS transistor and have substantially U-shapes, are formed in such a way that their gate lengths  $L_{g1}$  are made slightly longer so as to reduce the fluctuations in a threshold voltage  $V_{th}$  and their upper and lower side parts are made shorter in gate lengths  $L_{g2}$ , so that the layout of the sense amplifier matches the bit-line pitches, and at the same time, the current and speed is increased due to the short gate lengths  $L_{g2}$ . In addition, the source connection to a common source line

CSN is arranged at the center of the paired gates of a pair of NMOS transistors.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22108

(P2000-22108A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターコット (参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 G 5 B 0 2 4

21/8242

G 1 1 C 11/34

3 7 1 K 5 F 0 8 3

G 1 1 C 11/401

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平10-187616

(22) 出願日

平成10年7月2日 (1998.7.2)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 石松 学

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100080001

弁理士 筒井 大和

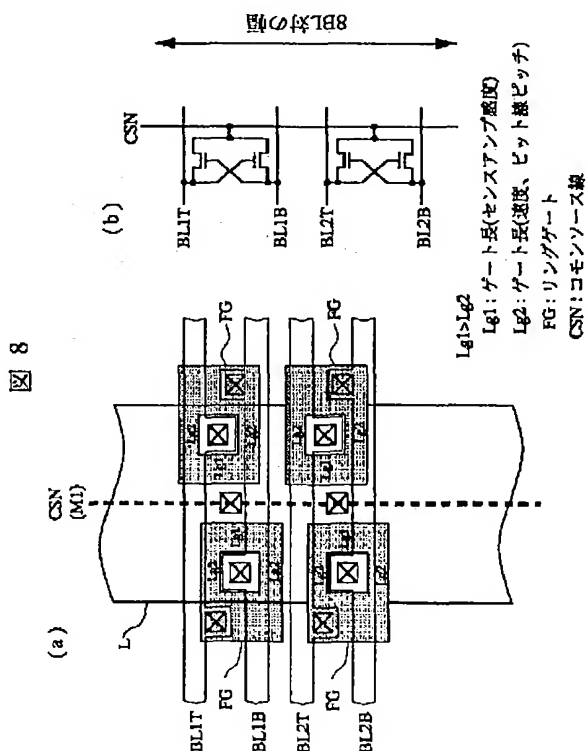
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 入出力線の合計寄生容量の低減、ノイズの低減、オーバードライブ用センスアンプドライバの面積の縮小と高速化、センスアンプの感度悪化防止と高速化および微細化への対応とが両立できる半導体記憶装置を提供する。

【解決手段】 64Mb DRAMであって、メモリセルアレーおよびその周辺回路から構成され、センスアンプのラッチMOSトランジスタであるリングゲートMOSトランジスタのゲート長 $L_g$ に関して、拡散層 $L$ と重なる実質的なコの字型のリングゲートFGの側辺部は $L_{g1}$ をやや太くしてしきい電圧 $V_{th}$ のばらつきを小さくし、上辺部および下辺部は $L_{g2}$ を細くして、センスアンプのレイアウトがビット線ピッチに収まるようにするとともに、 $L_{g2}$ が小さいことによる高電流、高速化を図る。さらに、コモンソース線CSNへのソース接続は一对のNMOSトランジスタのペアゲートの中央に配置する。



## 【特許請求の範囲】

【請求項1】 メモリセルアレー領域と、これに隣接して配置されるセンスアンプ領域およびサブワードドライバ領域と、このセンスアンプ領域とサブワードドライバ領域との交差領域とを含む半導体記憶装置であって、前記交差領域にメイン入出力線とローカル入出力線との間のスイッチMOSトランジスタを配置し、このスイッチMOSトランジスタは折り返しゲートMOSトランジスタを使い、この折り返しゲートに対する内側拡散層は前記メイン入出力線に接続し、かつ外側拡散層は前記ローカル入出力線に接続して入出力線の合計寄生容量を低減することを特徴とする半導体記憶装置。

【請求項2】 メモリセルアレー領域と、これに隣接して配置されるセンスアンプ領域およびサブワードドライバ領域と、このセンスアンプ領域とサブワードドライバ領域との交差領域とを含む半導体記憶装置であって、前記センスアンプ領域上に2対のローカル入出力線対を配置し、この2対のローカル入出力線対を、4つの前記メモリセルアレー領域に渡って前記2対のローカル入出力線対が延伸する長さの1/4程度、2/4程度、3/4程度に該当する前記交差領域において、一方のローカル入出力線対は前記1/4程度と前記3/4程度とでツイストし、他方のローカル入出力線対は前記2/4程度でツイストすることを特徴とする半導体記憶装置。

【請求項3】 メモリセルアレー領域と、これに隣接して配置されるセンスアンプ領域およびサブワードドライバ領域と、このセンスアンプ領域とサブワードドライバ領域との交差領域とを含む半導体記憶装置であって、前記交差領域にオーバードライブ用センスアンプドライバを配置し、このオーバードライブ用センスアンプドライバは、それぞれ異なる第1の電圧、第2の電圧が印加され、かつ折り返しゲート形状に形成される2個のNMOSトランジスタからなり、この2個のNMOSトランジスタを1つの拡散層で形成し、4本の折り返しゲートに対する拡散層のうち、最外部ソースと中央部ソースを共通ソース線と接続し、それらの間の2つのソースはそれぞれ前記第1の電圧または前記第2の電圧に接続することを特徴とする半導体記憶装置。

【請求項4】 メモリセルアレー領域と、これに隣接して配置されるセンスアンプ領域およびサブワードドライバ領域と、このセンスアンプ領域とサブワードドライバ領域との交差領域とを含む半導体記憶装置であって、前記センスアンプ領域に配置されるセンスアンプのラッチMOSトランジスタはリングゲートMOSトランジスタで構成し、その実質的にMOSトランジスタを形成するコの字型ゲートのうち、上辺部側および下辺部側ゲート長を側辺部側ゲート長より細くし、共通ソース線に接続のコンタクトは2つの側辺部側ゲートの間に設けることを特徴とする半導体記憶装置。

【請求項5】 請求項1、2、3または4記載の半導体

記憶装置であって、前記スイッチMOSトランジスタ、前記2対のローカル入出力線対、前記オーバードライブ用センスアンプドライバ、前記ラッチMOSトランジスタを任意に組み合わせることを特徴とする半導体記憶装置。

【請求項6】 請求項1、2、3、4または5記載の半導体記憶装置であって、前記半導体記憶装置はDRAMであることを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 10 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特にDRAMなどでのメモリセンス系の高性能化において、階層ワード線、階層入出力線方式に適した交差領域とセンスアンプとのレイアウト方式に適用して有効な技術に関する。

## 【0002】

【従来の技術】たとえば、本発明者が検討した技術として、半導体記憶装置の一例としての64MbDRAMにおいては、高速化のために階層ワード線と階層入出力線とを組み合わせた方式を用いる技術が考えられる。このような方式は、たとえば特開平8-181292号公報で示されている。この階層入出力線方式の狙いは、ローカル入出力線とメイン入出力線とを分割し、(ローカル入出力線+メイン入出力線)としてみた合計の寄生容量を低減しようとするものである。

## 【0003】

【発明が解決しようとする課題】ところで、前記のような階層ワード線と階層入出力線とを組み合わせた方式の技術について、本発明者が検討した結果、ローカル入出力線とメイン入出力線との間のスイッチMOSトランジスタのレイアウト方式により寄生容量の大きさは異なることが分かった。元来、階層入出力線は、ローカル入出力線とメイン入出力線とをスイッチMOSトランジスタを介して接続することにより、総合の寄生容量を低減し、アクセス時間を高速化するものである。

【0004】そこで、本発明の目的は、階層入出力線方式に適した交差領域のレイアウト方式において、ローカル入出力線とメイン入出力線との合計寄生容量を低減することができるDRAMなどの半導体記憶装置を提供するものである。

【0005】さらに、本発明の他の目的は、ローカル入出力線のレイアウトにおいて、ローカル入出力線のノイズを低減することができる半導体記憶装置を提供するものである。

【0006】また、本発明の他の目的は、オーバードライブ用センスアンプドライバのレイアウトにおいて、一方で占有面積が小さくすることができ、他方でセンスアンプ駆動の高速化に寄与することができる半導体記憶装置を提供するものである。

50 【0007】さらにまた、本発明の他の目的は、センス

アンプラッチMOSトランジスタのレイアウトにおいて、センスアンプの感度を悪化させずに、高速化と微細化への対応を両立させることができる半導体記憶装置を提供するものである。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】すなわち、本発明による半導体記憶装置は、以下のような特徴を有するものである。

【0011】(1).交差領域に配置される入出力線のスイッチMOSトランジスタは折り返しゲートMOSトランジスタを使い、内側拡散層はメイン入出力線に接続し、外側拡散層はローカル入出力線に接続する。

【0012】(2).センスアンプ上の2対のローカル入出力線対を、4つのメモリセルアレーに渡ってローカル入出力線が延伸する長さの、1/4、2/4、3/4に該当する交差領域において、一方のローカル入出力線対は1/4と3/4でツイストし、他方のローカル入出力線対は2/4でツイストする。

【0013】(3).交差領域に配置されるオーバードライブ用センスアンプドライバは、第1の電圧用と第2の電圧用の2個のNMOSトランジスタを1つの拡散層で形成し、4本の折り返しゲートに対する拡散層のうち、最外部ソースと中央部ソースとをコモンソース線に接続し、それらの間の2つのソースはそれぞれ第1の電圧または第2の電圧に接続する。

【0014】(4).センスアンプのラッチMOSトランジスタはリングゲートMOSトランジスタで構成し、その実質的にMOSトランジスタを形成するコの字型ゲートのうち、上辺部側および下辺部側ゲート長を側辺部側ゲート長より細くするとともに、コモンソース線に接続のコンタクトは2つの側辺部側ゲートの間に設ける。

【0015】(5).前記(1)～(4)を任意に組み合わせ、DRAMなどに適用する。

【0016】よって、前記半導体記憶装置によれば、以下のような作用効果を得ることができる。

【0017】(1).多数のMOSトランジスタが加算されるメイン入出力線につながるジャンクション容量が小さくでき、入出力線系の合計寄生容量を低減することができる。

【0018】(2).2対のローカル入出力線対の線間容量によるカップリングノイズの発生が少ないので、ノイズを低減することができる。

【0019】(3).一方で、2個のNMOSトランジスタの分離領域が不要となり、占有面積が小さくすることができる。他方で、与えられた交差領域の面積のもとで大

きなゲート幅のドライブMOSトランジスタを実現でき、センスアンプ駆動の高速化に寄与することができる。

【0020】(4).側辺部側ゲート長が影響するセンスアンプの感度を悪化させずに、上辺部側および下辺部側ゲート長に起因する高速化と微細化への対応を両立させることができる。

【0021】(5).DRAMなどでのメモリセンス系において、高速性能と小面積とを両立させることができる。

10 【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0023】図1は本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図と部分拡大図、図2は本実施の形態の半導体記憶装置において、メモリセルアレー周りのセンスアンプ領域、交差領域を示すレイアウト図と回路図、図3は階層入出力線方式を示す回路図とレイアウト図、図4は入出力線スイッチMOSトランジスタを示すレイアウト図、図5はローカル入出力線を示すレイアウト図、回路図および説明図、図6はローカル入出力線の具体例を示すレイアウト図、図7はセンスアンプドライバを示すレイアウト図、図8はセンスアンプラッチMOSトランジスタを示すレイアウト図と要部回路図である。

【0024】まず、図1により本実施の形態の半導体記憶装置のレイアウト構成を説明する。図1(a)は半導体記憶装置の概略レイアウト図、図1(b)は部分拡大図である。

【0025】本実施の形態の半導体記憶装置は、たとえば64Mb DRAMとされ、このメモリチップ10には、メインローデコーダ領域11、メインワードドライバ領域12、カラムデコーダ領域13、周辺回路/ボンディングパッド領域14、メモリセルアレー領域15、センスアンプ領域16、サブワードドライバ領域17、交差領域18などが周知の半導体製造技術によって形成されて構成されている。

【0026】この64Mb DRAMにおいて、メモリセルアレー領域15の基本のメモリセルアレーは、たとえば256ワード線(WL)×256ビット線対(BL対)としている。図1は、4分割にした4バンク構成例である。ワード線は長辺方向、ビット線は短辺方向に延びている。階層ワード線構成、多分割ビット線構成を用いて、全体で8kワード線×8kビット線対で64Mビットを構成している。

【0027】このメモリチップ10において、長辺中央のメインローデコーダ領域11、メインワードドライバ領域12からサブワードドライバ領域17のドライバを制御するためのメインワード線、プリデコーダ線が左右

に出力される。短辺中央は周辺回路／ボンディングパッド領域14で、それとメモリセルアレー領域15との間にカラムデコーダ領域13が置かれる。カラムデコーダの出力であるカラム選択線はメモリセルアレー領域15の上を通り抜けて多数のセンスアンプを制御する。

【0028】図1(b)の部分拡大図で示すように、メモリセルアレー領域15の左右両端には、サブワードドライバ領域17が配置され、上下両側にはセンスアンプ領域16が配置される。従って、メモリセルアレー領域15はセンスアンプ領域16とサブワードドライバ領域17に囲まれる。また、サブワードドライバ領域17とセンスアンプ領域16が交差する領域は交差領域18と呼び、センスアンプドライバやI/Oスイッチ回路が設けられる。

【0029】次に、図2を用いて、メモリセルアレー周りのセンスアンプ領域16、交差領域18の回路構成について説明する。図2(a),(b)はメモリセルアレー周りのレイアウト図、図2(c)はメモリセルアレー領域15に隣接するサブワードドライバ領域17、センスアンプ領域16の回路図である。

【0030】この交差領域18においては、階層ワード線方式、センスアンプを上下のメモリセルアレーで共有するシェアドセンスアンプ方式、センスアンプとサブワードドライバの交差領域18にセンスアンプドライバやローカル入出力線LIOとメイン入出力線MIOの間のスイッチを配置する方式、オーバードライブ電圧VDDCLP（最終的なセル蓄積電圧はVDL）によるオーバードライブ駆動センスアンプ方式を想定している。このように、交差領域18では、多数の回路をセンスアンプとサブワードドライバで決定される領域に配置する必要があり、効率的なレイアウトが重要である。

【0031】階層ワード線方式は、メインワード線の繰り返しピッチをメモリセルアレー領域15のサブワード線ピッチの、たとえば8倍に緩和し、金属配線の製造歩留まりを高めるものである。サブワードドライバ領域17のドライバでは、メインワード線とプリデコーダ線とで論理をとり、たとえば3.3Vの電源電圧に対して、VPPレベル(3.8V)でサブワード線を駆動する。センスアンプ領域16のセンスアンプはビット線信号を増幅し、メモリセルに最終的には蓄積電圧VDL(2.0V)を再書き込みする。このとき、センスアンプはオーバードライブ方式をとり、過渡的に高い電圧VDDCLP(3.3V)で駆動し、低い電圧VDLだけでセンスアンプを駆動した場合の速度低下を防止する。

【0032】カラム選択は、カラムデコーダ領域13のデコーダ出力のカラム選択線YSで行い、カラム選択線YSがHighの期間にセンスアンプ内のスイッチMOSトランジスタがオンし、ビット線BLとローカル入出力線LIOとの接続を行う。交差領域18のスイッチでローカル入出力線LIOとメイン入出力線MIOとの接

続を行い、読み出し／書き込み情報の授受はビット線BLとローカル入出力線LIOとメイン入出力線MIO間で行われる。

【0033】また、交差領域18には、FXドライバ、CSPドライバ、CSPNイコライザ、CSNドライバなどを含むセンスアンプドライバを主とするもの(Odd)と、FXドライバ、LIO-MIOスイッチ、MIOイコライザ、CSNドライバ、LIOイコライザ、BLEQBドライバなどを含むI/Oスイッチを主とするもの(Even)とを交互に置く。これは交差領域18が、面積が小さい割には多種類の回路が必要なときに、レイアウトを効率的に行うためである。

【0034】図2において、VDDCLPの電源線はVPPゲート印加のソース側電圧である。VDDCLPをオーバードライブ電圧に利用する理由は2つある。第1は、オーバードライブ用センスアンプの電源電圧VDD依存性を緩和するものである。VDDCLPの電圧はVPPで制御され、VPPはワード線用昇圧電圧である。VDDの変化による速度変化を緩和する動きがある。

【0035】第2は、ラッチアップ対策である。メモリセルアレー領域15、センスアンプ領域16、サブワードドライバ領域17の下部には全面的にトリプルウェルの深いDWELLがあり、そこに回路動作上最も高いVPPを印加する。ところが、VDDパワーオン時にVPPはチャージポンプ動作で徐々に上がるので、過渡的にVPPがVDDよりも低い状況が生まれ得る。この時にセンスアンプのPMOSTランジスタがVDD動作すると、ラッチアップする可能性があるが、交差領域18でのセンスアンプ駆動MOSトランジスタやBLEQBドライバにVDDCLPを用いれば、VDDCLPはVPPより遅れて立ち上がるのでラッチアップに対して安全である。

【0036】なお、図2において、SHRはシェアドセンスアンプ分離信号線、SAP1はオーバードライブ用の第1センスアンプ充電信号線、SAP2は第2センスアンプ充電信号線、SANはセンスアンプ放電信号線、BLEQはビット線プリチャージ信号線、VBLRはビット線プリチャージ電圧線、CSP、CSNはセンスアンプ駆動線をそれぞれ示す。

【0037】次に、図3を用いて、階層入出力線方式の構成について説明する。図3(a)は階層入出力線方式の回路図、図2(b)はレイアウト図である。

【0038】この階層入出力線方式の狙いは、ローカル入出力線LIOとメイン入出力線MIOを分割し、LIO+MIOとしてみた合計の寄生容量を低減しようとするものである。この場合は、LIO-MIO間のスイッチMOSトランジスタはNMOSTランジスタとPMOSTランジスタのアナログゲートとしている。それらのゲートをビット線プリチャージ信号BLEQ、BLEQBで制御することにより、活性センスアンプでのスイッ

チはオン、非活性センスアンプでのスイッチはオフとする。

【0039】この階層入出力線方式において、本発明者が検討した結果、スイッチMOSトランジスタのレイアウト方式により寄生容量の大きさは異なることが分かった。元来、階層入出力線はローカル入出力線LIOとメイン入出力線MIOをスイッチMOSトランジスタを介して接続することにより、総合の寄生容量を低減し、アクセス時間を高速化するものである。そのため、後述するようにLIOとMIOのトータルな寄生容量を低減するレイアウトを工夫している。

【0040】次に、図4を用いて、本発明による入出力線スイッチMOSトランジスタのレイアウト方式について説明する。図4(a)は単一直線ゲートFG、図4(b)、(c)は折り返しゲートFG、そのうち図4(b)はローカル入出力線LIOを内側ソース/ドレイン拡散層Lに接続するものであり、図4(c)はメイン入出力線MIOを内側ソース/ドレイン拡散層Lに接続するものである。本発明では、図4(c)のように、スイッチMOSトランジスタは折り返しゲート型とし、外側ソースをLIOと

$$\begin{aligned} \text{LIO} + \text{MIOの合計容量} &= 0.25 + 0.47 + 0.14 + 0.19 \\ &= 1.05 \text{ pF} \end{aligned}$$

(2). 折り返しゲートでLIOが内側接続の時

$$\begin{aligned} \text{LIO} + \text{MIOの合計容量} &= 0.25 + 0.47 + 0.14 + 0.20 \\ &= 1.06 \text{ pF} \end{aligned}$$

(3). 折り返しゲートでLIOが外側接続の時

$$\begin{aligned} \text{LIO} + \text{MIOの合計容量} &= 0.25 + 0.47 + 0.14 + 0.11 \\ &= 0.97 \text{ pF} \end{aligned}$$

となる。

【0044】この分析の結果、総合容量CLIO+CMIOでは(3)が最も小さい。これは、ローカル入出力線LIOにとってIOスイッチのジャンクション容量はMOSトランジスタの1個であるのに対し、メイン入出力線MIOにとってのIOスイッチは多数(8個)のMOSトランジスタが加算されるからである。従って、MIOにつながるジャンクション容量を小さくすべきである。ちなみに、非階層入出力線構成では、合計容量は $(0.25 + 0.14) \times 4 = 1.56 \text{ pF}$ となる。

【0045】なお、IOスイッチは、PMOSトランジスタとNMOSトランジスタの抱き合わせスイッチでなく、低面積化のためにNMOSトランジスタのみによるスイッチとしてもよい。また、NMOSトランジスタのゲート電圧を外部電圧VDDレベルでなく、それより高い昇圧レベルVPPで制御すれば、高い駆動能力を得ることができる。特に、VDD=3.3Vの時代から2.5Vの時代になると、VDDレベルでは駆動能力不足となり、昇圧電圧VPP=3Vを用いた方が有利となる可能性が高い。

【0046】前記図2に示す構成によるセンスアンプ制御では、1本のカラム選択線YSは2つのセンスアンプ

\* 接続し、内側ソースをMIOと接続する。その寄生容量をジャンクション容量と配線容量に分類して分析する。ここでは、3つのケース(図4(a),(b),(c))に分けて分析する。

【0041】まず、配線容量はローカル入出力線LIOは第2金属配線層M2で4つのメモリセルアレーあたり1.33mmで0.25pF、メイン入出力線MIOは第3金属配線層M3で16のメモリセルアレーあたり2.59mmで0.47pFであり、以下の3ケースで共通と考えられる。LIOのジャンクション容量CJは4つのメモリセルアレーでセンスアンプのパターン寸法から0.14pFと、これも以下の3ケースで共通と考えられる。スイッチMOSトランジスタのジャンクション容量は3ケースに分かれる。PMOSトランジスタとNMOSトランジスタの抱き合わせスイッチとする。

【0042】前記図1と前記図3を組み合わせた構成によれば、 $CJ = (CJN + CJ P) \times 8$ 個である。

【0043】(1). 単一直線ゲートの時

$$\text{MIOのCJ} = (4.9 + 1.9) \times 8 = 191 \text{ fF}$$

\* 20

$$\text{※ ※ MIOのCJ} = (5.1 + 19.7) \times 8 = 198 \text{ fF}$$

$$\text{★ ★ MIOのCJ} = (2.9 + 11.1) \times 8 = 112 \text{ fF}$$

を制御するので、センスアンプ上には2対のローカル入出力線LIOが4つのメモリセルアレーの長さを向かい合って配置することになる。これらローカル入出力線LIOの線間容量により、カップリングノイズが発生する。そのノイズ低減のためのツイスト方法について、図5および図6を用いて以下に説明する。

【0047】図5において、図5(a)はローカル入出力線LIOのレイアウト図、図5(b)はセンスアンプの回路図、図5(c)はツイスト方法の説明図である。

【0048】ローカル入出力線LIOのセンスアンプ上の2対のLIO対を、4つのメモリセルアレーに渡ってLIOが延伸する長さの、1/4、2/4、3/4に該当する交差領域18において、一方のLIO対は1/4と3/4でツイストし、他方のLIO対は2/4でツイストすることを特徴とする。この方式の基本原理由自体は、特開平4-252494号公報に開示されている。それに対して本発明の新規なところは、ツイストをワードシャント対応領域ではなく、サブワードドライバの交差領域18で行うことである。

【0049】具体的には、ローカル入出力線LIOのレイアウト図を示す図6のように行う。図6は、交差領域18でツイストするところで、第2金属配線層M2と第

3金属配線層M3とを用い、その間をスルーホールを通じて接続している。すなわち、第2金属配線層M2で配置される2対のローカル入出力線対L100、L101のうち、一方のローカル入出力線対L101T、L101Bを交差領域で第3金属配線層M3を用いてツイストしている。

【0050】また、前記オーバードライブ駆動センスアンプ方式において、オーバードライブ充電は、従来はPMOSTランジスタ(VDDあるいはVDDCLP)とNMOSTランジスタ(VDL)で行ってきたが、両方をNMOSTランジスタとすることにより、MOSTランジスタのウェル分離領域が不要となることに加え、2つのNMOSTランジスタの複合の工夫の可能性が生じた。この工夫点について、図7を用いて以下に説明する。

【0051】図7は、交差領域18でのセンスアンプドライバのレイアウト図である。図7(a)は従来例であり、図7(b)は本発明におけるセンスアンプドライバのレイアウト図である。図7(b)は、オーバードライブ用の電圧VDDCLPと最終定常電圧VDLとがそれぞれ印加される2個のNMOSTランジスタを1つの拡散層Lで形成し、4本の折り返しゲートFGに対する拡散層Lのうち、最外部ソースと中央ソースを共通ソース線CSPと接続し、それらの間の2つのソースはそれぞれVDDCLPまたはVDLに接続する。これにより、2つのMOSTランジスタのLocosの分離領域が不要となり、占有面積が小さくなる。別の見方をすれば、与えられた交差領域18の面積のもとで大きなゲート幅のドライブMOSTランジスタを実現でき、センスアンプ駆動の高速化に寄与することができる。

【0052】次に、図8を用いて、センスアンプのラッチMOSTランジスタについて説明する。図8(a)はラッチMOSTランジスタであるリングゲートMOSTランジスタのレイアウト図、図8(b)はセンスアンプの要部回路図である。

【0053】本発明のようなリングゲートMOSTランジスタを利用したセンスアンプのレイアウトは、ISSCC'93, pp44-45, H.Yamauchi et al., "A 20ns Battery-Operated 16Mb CMOS DRAM", に記載されている。しかし、この文献ではゲート長 $L_g$ の値や場所ごとの変化は明らかにされていない。一般に、 $L_g$ を小さくすると、MOSTランジスタの電流駆動能力は大きくなるが、しきい電圧 $V_{th}$ のばらつきは大きくなる。本発明では、リングゲートMOSTランジスタのゲート長 $L_g$ に関して、拡散層Lと重なる実質的なコの字型のリングゲートFGの上辺部および下辺部と側辺部とで差を設けている。

【0054】すなわち、本発明は、図8(a)のように、実質的なコの字型のリングゲートFGの側辺部は $L_{g1}$ をやや太くし、 $V_{th}$ ばらつきを小さくする。上辺部および下辺部は $L_{g2}$ を細くし、センスアンプのレイアウト

トがビット線ピッチに収まるようにするとともに、 $L_{g2}$ が小さいことによる高電流、高速化を図る。さらに、共通ソース線CSNへのソース接続は1対のNMOSTランジスタのペアゲートの中央に置く。センスアンプの感度は主としてこの部分で効くと考えられる。今後、ビット線ピッチはますます微細化されるが、本発明のようにゲート長 $L_g$ に差を持たせることにより、センスアンプの感度を悪化させずに、高速化と微細化への対応を両立させることができる。

10 【0055】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0056】たとえば、前記実施の形態においては、64Mb DRAMに適用した場合について説明したが、これに限定されるものではなく、128Mb、256Mbなどの大容量のDRAM、さらにシンクロナスDRAMなどについても広く適用可能であり、このように大容量の構成とすることにより本発明の効果はますます大きくなる。

【0057】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0058】(1). 交差領域に配置される入出力線のスイッチMOSTランジスタのレイアウトを工夫することで、多数のMOSTランジスタが加算されるメイン入出力線につながるジャンクション容量を小さくすることができるので、入出力線系の合計寄生容量を低減することが可能となる。

【0059】(2). センスアンプ上の2対のローカル入出力線対の交差領域におけるレイアウトを工夫することで、2対のローカル入出力線対の線間容量によるカップリングノイズの発生を少なくすることができるので、ノイズを低減することが可能となる。

【0060】(3). 交差領域に配置されるオーバードライブ用センスアンプドライバのレイアウトを工夫することで、一方で、2個のNMOSTランジスタの分離領域が不要となるので、占有面積が小さくすることが可能となり、他方で、与えられた交差領域の面積のもとで大きなゲート幅のドライブMOSTランジスタを実現することができるので、センスアンプ駆動の高速化に寄与することが可能となる。

【0061】(4). センスアンプ領域に配置されるセンスアンプのラッチMOSTランジスタのレイアウトを工夫することで、しきい電圧のばらつきを小さくし、ビット線ピッチに収まるようにするとともに、高電流、高速化を図ることができるので、センスアンプの感度を悪化させずに、高速化と微細化への対応を両立させることが可

能となる。

【0062】(5).前記(1)～(4)により、階層ワード線、階層入出力線方式のDRAMなどの半導体記憶装置において、交差領域とセンスアンプとのレイアウトを工夫することにより、メモリセンス系の高速度性能と小面積とを両立させることが可能となる。

【図面の簡単な説明】

【図1】(a),(b)は本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図と部分拡大図である。

【図2】(a),(b),(c)は本発明の一実施の形態の半導体記憶装置において、メモリセルアレー周りのセンスアンプ領域、交差領域を示すレイアウト図と回路図である。

【図3】(a),(b)は本発明の一実施の形態の半導体記憶装置において、階層入出力線方式を示す回路図とレイアウト図である。

【図4】(a),(b),(c)は本発明の一実施の形態の半導体記憶装置において、入出力線スイッチMOSトランジスタを示すレイアウト図である。

【図5】(a),(b),(c)は本発明の一実施の形態の半導体記憶装置において、ローカル入出力線を示すレイアウト図、回路図および説明図である。

【図6】本発明の一実施の形態の半導体記憶装置において、ローカル入出力線の具体例を示すレイアウト図である。

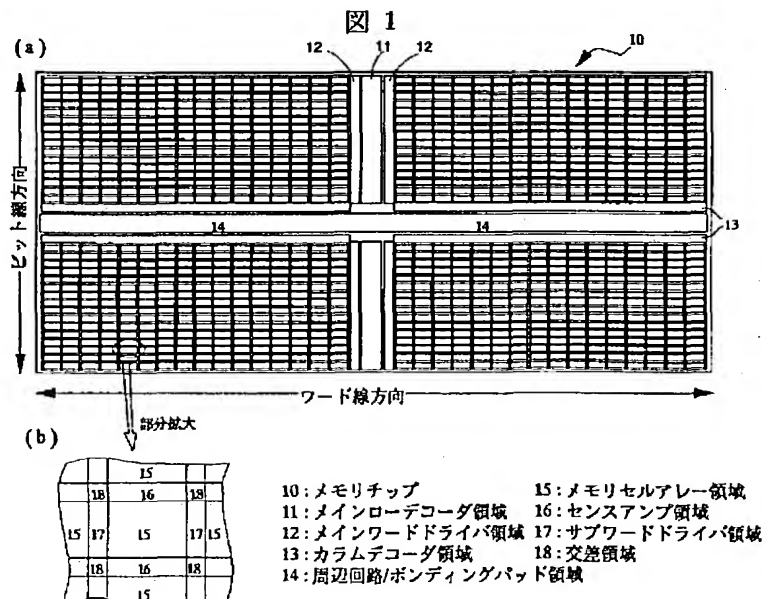
【図7】(a),(b)は本発明の一実施の形態の半導体記憶装置において、センスアンプドライバを示すレイアウト図である。

【図8】(a),(b)は本発明の一実施の形態の半導体記憶装置において、センスアンプラッチMOSトランジスタを示すレイアウト図と要部回路図である。

【符号の説明】

- 10 メモリチップ
- 11 メインローデコーダ領域
- 12 メインワードドライバ領域
- 13 カラムデコーダ領域
- 14 周辺回路/ボンディングパッド領域
- 15 メモリセルアレー領域
- 16 センスアンプ領域
- 17 サブワードドライバ領域
- 18 交差領域
- LIO ローカル入出力線
- MIO メイン入出力線
- YS カラム選択線
- BL ビット線
- SHR シェアドセンスアンプ分離信号線
- SAP1 オーバードライブ用の第1センスアンプ充電信号線
- 20 信号線
- SAP2 第2センスアンプ充電信号線
- SAN センスアンプ放電信号線
- BLEQ ビット線プリチャージ信号線
- VBLR ビット線プリチャージ電圧線
- CSP, CSN センスアンプ駆動線
- FG ゲート
- L 拡散層

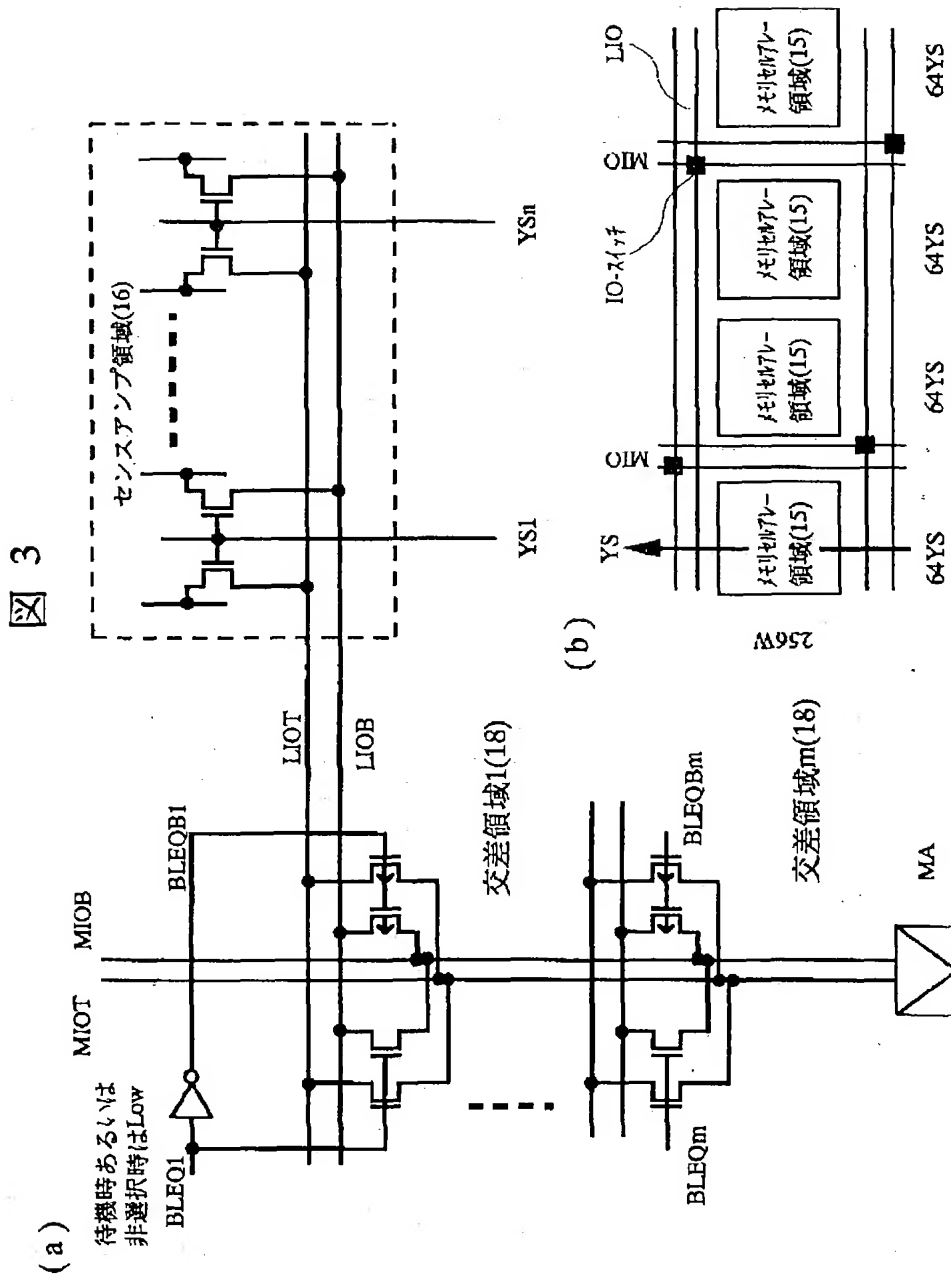
【図1】





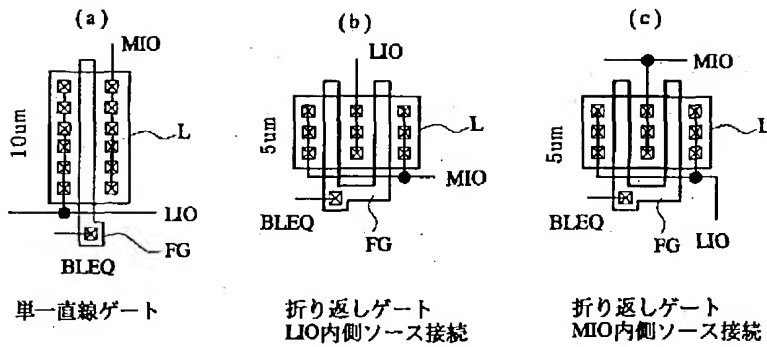


【図3】



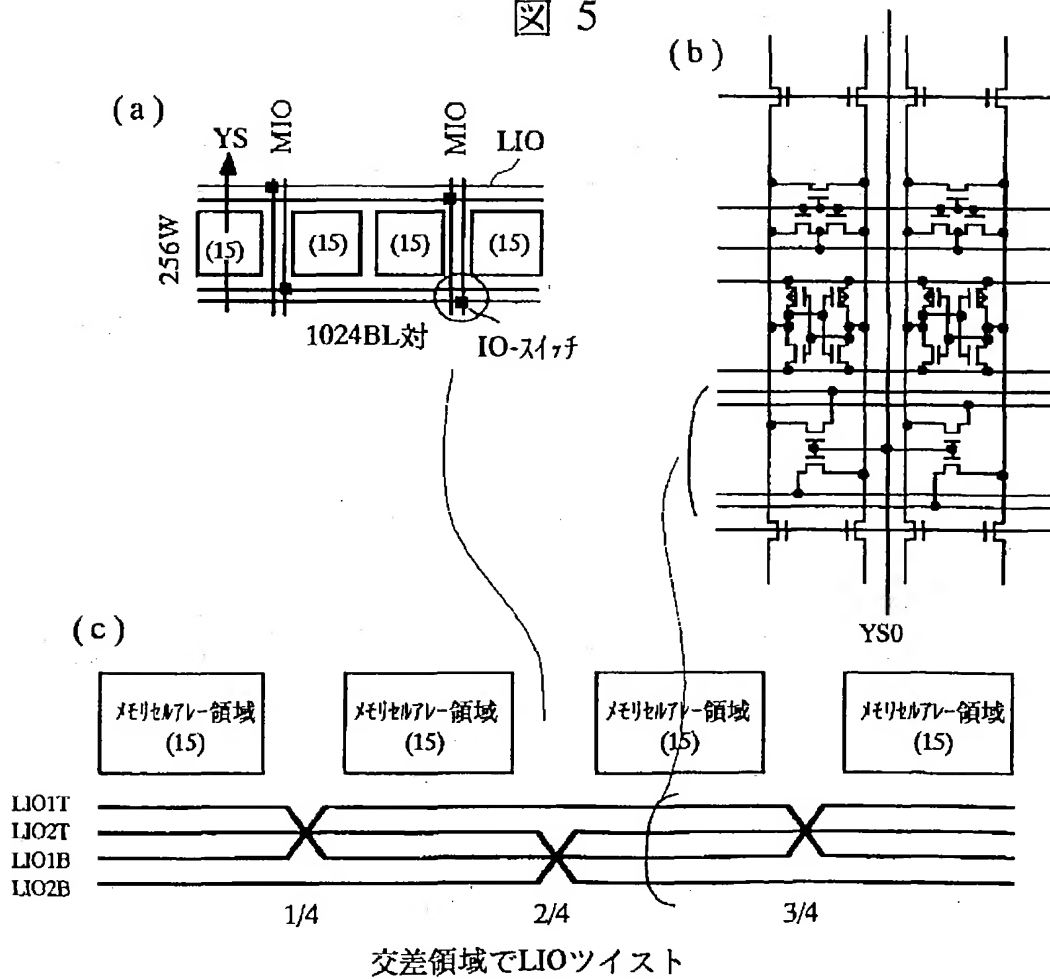
【図4】

図 4



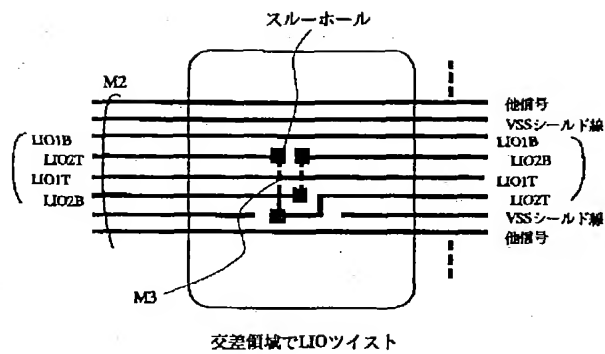
【図5】

図 5



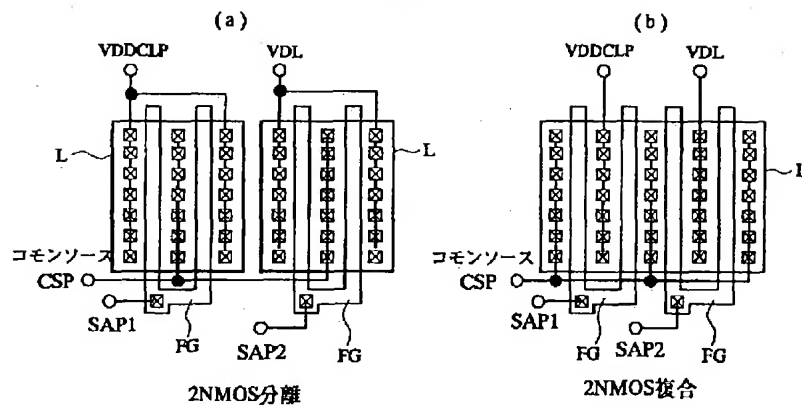
【図6】

図 6



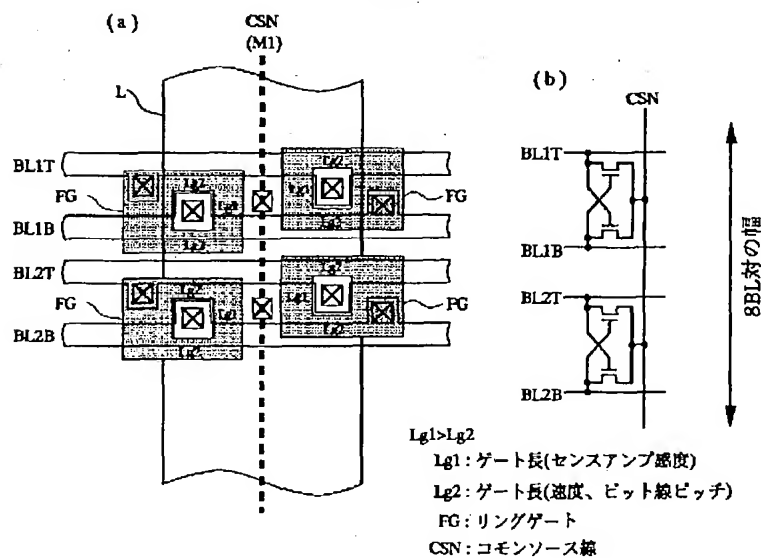
【図7】

図 7



【図8】

図 8



フロントページの続き

(72)発明者 橘川 五郎

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 嬉野 和久

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

Fターム(参考) 5B024 AA03 AA07 AA15 BA05 BA09

BA29 CA21

5F083 AD00 GA01 GA03 GA12 KA03

KA11 LA03 LA05 LA07 LA09

LA11 LA20 LA21 LA30 ZA01